

日 本 国 特 許 庁
JAPAN PATENT OFFICE

15.11.2004

REC'D 13 JAN 2005

WIPO

PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 2 月 2 6 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 4 3 4 0 7 5
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 4 3 4 0 7 5]

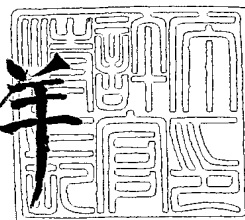
出 願 人 松 下 電 器 産 業 株 式 会 社
Applicant(s):

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 4 年 1 2 月 2 4 日

特許庁長官
Commissioner,
Japan Patent Office

小 川 洋



【書類名】 特許願
【整理番号】 2037850043
【提出日】 平成15年12月26日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 23/62
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 定行 英一
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 堀川 じゅん
【特許出願人】
 【識別番号】 000005821
 【氏名又は名称】 松下電器産業株式会社
【代理人】
 【識別番号】 100081813
 【弁理士】
 【氏名又は名称】 早瀬 憲一
 【電話番号】 06(6395)3251
【手数料の表示】
 【予納台帳番号】 013527
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9600402

【書類名】 特許請求の範囲**【請求項 1】**

それぞれの極性が異なる 2つの入力ノードを有し、基準電圧と電源電圧とを入力してそれぞれの電圧値を比較して比較結果を示す信号を出力するコンパレータと、

前記コンパレータの、一方の入力ノードと他方の入力ノードとの間に接続される抵抗素子と、

一端が前記電源電圧を印加する電源端子に接続され、他端が前記コンパレータの一方の入力ノードに接続される容量素子とを備え、

前記コンパレータは、前記基準電圧と前記電源電圧との電圧差が変動したときに、前記比較結果を示す出力信号を活性化する、

ことを特徴とする半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置において、

前記コンパレータの出力信号を入力し、前記出力信号が活性化されたときに前記半導体装置を含むシステムの動作を止めるリセット手段をさらに備えた、

ことを特徴とする半導体装置。

【請求項 3】

請求項 1 または請求項 2 に記載の半導体装置において、

前記コンパレータのいずれか一方の入力ノードに入力される電源電圧の値を任意の値に切替える切換え手段をさらに備えた、

ことを特徴とする半導体装置。

【請求項 4】

請求項 3 に記載の半導体装置において、

前記半導体装置の電源投入時に、前記切換え手段を動作させる制御手段をさらに備えた

ことを特徴とする半導体装置。

【請求項 5】

請求項 1 から請求項 4 のいずれかに記載の半導体装置において、

前記コンパレータは、前記基準電圧と前記電源電圧との電圧差が予め設定したヒステリシス幅より大きくなったときに、前記比較結果を示す出力信号を活性化するヒステリシスコンパレータである、

ことを特徴とする半導体装置。

【請求項 6】

それぞれの極性が異なる 2つの入力ノードを有し、基準電圧と電源電圧とを入力してそれぞれの電圧値を比較して比較結果を示す信号を出力する第 1 及び第 2 のコンパレータと

前記第 1 及び第 2 のコンパレータの、一方の入力ノードと他方の入力ノードとの間にそれぞれ接続される第 1 及び第 2 の抵抗素子と、

一端が前記電源電圧を印加する電源端子にそれぞれ接続され、他端が前記第 1 及び第 2 のコンパレータのいずれか一方の入力ノードにそれぞれ接続される第 1 及び第 2 の容量素子と、

前記第 1 のコンパレータの出力信号と前記第 2 のコンパレータの出力信号とを論理和演算する論理和回路とを備え、

前記第 1 及び第 2 のコンパレータは、前記基準電圧と前記電源電圧との電圧差が変動したときに、前記比較結果を示す出力信号をそれぞれ活性化し、

前記第 1 のコンパレータにおける電源電圧を入力する入力ノードの極性は、前記第 2 のコンパレータにおける電源電圧を入力する入力ノードの極性と逆である、

ことを特徴とする半導体装置。

【請求項 7】

請求項 6 に記載の半導体装置において、

前記論理和回路の出力を入力し、前記第 1 のコンパレータまたは第 2 のコンパレータの出力信号が活性化されたときに前記半導体装置を含むシステムの動作を止めるをさらに備えた、

ことを特徴とする半導体装置。

【請求項 8】

請求項 6 または請求項 7 に記載の半導体装置において、

前記第 1 及び第 2 のコンパレータのいずれか一方の入力ノードに入力される電源電圧の値を任意の値に切換える切換え手段を備えた、

ことを特徴とする半導体装置。

【請求項 9】

請求項 8 に記載の半導体装置において、

前記半導体装置の電源投入時に、前記切換え手段を動作させる制御手段を備えた、

ことを特徴とする半導体装置。

【請求項 10】

請求項 6 から請求項 9 のいずれかに記載の半導体装置において、

前記第 1 及び第 2 のコンパレータはヒステリシスコンパレータであり、

前記第 1 及び第 2 のヒステリシスコンパレータは、前記基準電圧と前記電源電圧との電圧差が予め設定したヒステリシス幅より大きくなったときに、前記比較結果を示す出力信号を活性化する、

ことを特徴とする半導体装置。

【請求項 11】

請求項 1 から請求項 10 のいずれかに記載の半導体装置において、

前記電源端子と接地との間に直列に配置され電源電圧を分圧する第 3 及び第 4 の抵抗素子と、

2つの入力ノードを有し、前記第 3 及び第 4 の抵抗素子が分圧した電源電圧と、基準電圧とを入力して比較する第 3 のコンパレータとをさらに備えた、

ことを特徴とする半導体装置。

【書類名】明細書

【発明の名称】半導体装置

【技術分野】

【0001】

本発明は半導体装置に関するものであり、特に、電源電圧と基準電圧との電圧差の急激な変動を検出する電源電圧変動検知回路を備えた半導体装置に関する。

【背景技術】

【0002】

以下、電源電圧変動検知回路を備えた従来の半導体装置について図11を用いて説明する（例えば、特許文献1参照。）。図11に示すように半導体装置は、電源端子101と接地端子102との間に、それぞれ2つの抵抗素子（抵抗素子103～106）を設ける。そして、2入力コンパレータ107の一方の入力端子に抵抗素子103及び104が分圧した電源電圧109を入力し、他方の入力端子に基準電圧110を入力する。同様に、2入力コンパレータ108の一方の入力端子に抵抗素子105及び106が分圧した電源電圧111を入力し、他方の入力端子に基準電圧112を入力する。また、コンパレータ107の一方の入力端子とノード113とを接続する信号線と、電源端子115との間に容量素子117を設ける。同様に、コンパレータ108の一方の入力端子とノード114とを接続する信号線と、電源端子116との間に容量素子118を設ける。

【0003】

以上のように構成される半導体装置では、コンパレータ107が分圧された電源電圧109と基準電圧110とを入力して比較することで電源電圧の正側の変動を検知し、また、コンパレータ108が分圧された電源電圧111と基準電圧112とを入力して比較することで電源電圧の負側の変動を検知する。電源電圧が正側に変動したとき、その電圧の変動分が容量素子117で容量結合され、これにより、コンパレータ107の一方に入力される電圧も変動し、基準電圧より高くなる。コンパレータ107は、その電圧差を検知しその旨を示す信号を出力する。同様にして、電源電圧が負側に変動したときは、コンパレータ108が電圧差を検知しその旨を示す信号を出力する。コンパレータ107、108の出力信号は、論理積回路119で演算される。以上のような構成により、半導体装置は電源電圧変動を検知したことを示す論理信号を出力することができる。

【0004】

また、電源電圧変動検知回路を備えた従来の別の半導体装置について図12を用いて説明する（例えば、特許文献2参照。）。この半導体装置では、電源電圧と接地電圧とを入力する2つのインバータ回路201、202を備え、1段目のインバータ回路201の出力と2段目のインバータ回路202の入力を、抵抗素子203と容量素子204とからなる積分遅延回路を介して接続し、さらに、2段目のインバータ回路202の出力と1段目のインバータ回路201の入力を接続する。これにより、電源電圧と接地電圧との電位差が急に変動したとき、予め記憶している初期値が反転し、電圧差の急激な増加及び降下を論理信号として出力することができる。

【特許文献1】EP1160580A1（第5頁、FIG1）

【特許文献2】特開平6-152358号公報（第7頁、第3図）

【発明の開示】

【発明が解決しようとする課題】

【0005】

ところが、上記従来の半導体装置では、急激な電源電圧変動の検知レベルが、電圧変動前の電圧値、すなわち、正常時の電源電圧値に依存するという問題があった。例えば、図11に示す半導体装置では、負側の電圧変動を検出する場合、変動前の電源電圧値が低いと、例えば、わずかなノイズによる小さな電圧変動でも異常と検知するので、半導体装置の動作に影響のない電圧変動を異常と検知する可能性があった。また、変動前の電源電圧が高いと比較的大きな電圧変動が発生しなければ異常と検知しない可能性があった。

【0006】

また、図 12 に示す半導体装置に関しても、電源電圧変動の検知レベルが電圧変動する前の電圧値に依存するため、図 11 に示す半導体装置と同様の問題があった。

【0007】

以上のことから、従来の半導体装置では、電源電圧変動を検知する回路を設計する際に、電源電圧の変動の大きさだけでなく、変動前の電源電圧の値を考慮する必要があり、このため、設計上考慮すべきパラメータが多くなり、その回路設計が困難になるという問題があった。

【0008】

よって、本発明では、電源電圧の変動を検知する回路を備える半導体装置において、電圧変動前の電源電圧値に依存することなく電源電圧の急激な変動を検知できる半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0009】

上記課題を解決するために、本発明の請求項 1 に係る半導体装置は、それぞれの極性が異なる 2 つの入力ノードを有し、基準電圧と電源電圧とを入力してそれぞれの電圧値を比較して比較結果を示す信号を出力するコンパレータと、前記コンパレータの、一方の入力ノードと他方の入力ノードとの間に接続される抵抗素子と、一端が前記電源電圧を印加する電源端子に接続され、他端が前記コンパレータの一方の入力ノードに接続される容量素子とを備え、前記コンパレータは、前記基準電圧と前記電源電圧との電圧差が変動したときに、前記比較結果を示す出力信号を活性化することを特徴とする。

【0010】

また、本発明の請求項 2 に係る半導体装置は、請求項 1 に記載の半導体装置において、前記コンパレータの出力信号を入力し、前記出力信号が活性化されたときに前記半導体装置を含むシステムの動作を止めるリセット手段をさらに備えたことを特徴とする。

【0011】

また、本発明の請求項 3 に係る半導体装置は、請求項 1 または請求項 2 に記載の半導体装置において、前記コンパレータのいずれか一方の入力ノードに入力される電源電圧の値を任意の値に切換える切換え手段をさらに備えたことを特徴とする。

【0012】

また、本発明の請求項 4 に係る半導体装置は、請求項 3 に記載の半導体装置において、前記半導体装置の電源投入時に、前記切換え手段を動作させる制御手段をさらに備えたことを特徴とする。

【0013】

また、本発明の請求項 5 に係る半導体装置は、請求項 1 から請求項 4 のいずれかに記載の半導体装置において、前記コンパレータは、前記基準電圧と前記電源電圧との電圧差が予め設定したヒステリシス幅より大きくなったときに、前記比較結果を示す出力信号を活性化するヒステリシスコンパレータであることを特徴とする。

【0014】

また、本発明の請求項 6 に係る半導体装置は、それぞれの極性が異なる 2 つの入力ノードを有し、基準電圧と電源電圧とを入力してそれぞれの電圧値を比較して比較結果を示す信号を出力する第 1 及び第 2 のコンパレータと、前記第 1 及び第 2 のコンパレータの、一方の入力ノードと他方の入力ノードとの間にそれぞれ接続される第 1 及び第 2 の抵抗素子と、一端が前記電源電圧を印加する電源端子にそれぞれ接続され、他端が前記第 1 及び第 2 のコンパレータのいずれか一方の入力ノードにそれぞれ接続される第 1 及び第 2 の容量素子と、前記第 1 のコンパレータの出力信号と前記第 2 のコンパレータの出力信号とを論理和演算する論理和回路とを備え、前記第 1 及び第 2 のコンパレータは、前記基準電圧と前記電源電圧との電圧差が変動したときに、前記比較結果を示す出力信号をそれぞれ活性化し、前記第 1 のコンパレータにおける電源電圧を入力する入力ノードの極性は、前記第 2 のコンパレータにおける電源電圧を入力する入力ノードの極性と逆であることを特徴とする。

【0015】

また、本発明の請求項7に係る半導体装置は、請求項6に記載の半導体装置において、前記論理和回路の出力を入力し、前記第1のコンパレータまたは第2のコンパレータの出力信号が活性化されたときに前記半導体装置を含むシステムの動作を止めるリセット手段をさらに備えたことを特徴とする。

【0016】

また、本発明の請求項8に係る半導体装置は、請求項6または請求項7に記載の半導体装置において、前記第1及び第2のコンパレータのいずれか一方の入力ノードに入力される電源電圧の値を任意の値に切換える切換え手段を備えたことを特徴とする。

【0017】

また、本発明の請求項9に係る半導体装置は、請求項8に記載の半導体装置において、前記半導体装置の電源投入時に、前記切換え手段を動作させる制御手段を備えたことを特徴とする。

【0018】

また、本発明の請求項10に係る半導体装置は、請求項6から請求項9のいずれかに記載の半導体装置において、前記第1及び第2のコンパレータはヒステリシスコンパレータであり、前記第1及び第2のヒステリシスコンパレータは、前記基準電圧と前記電源電圧との電圧差が予め設定したヒステリシス幅より大きくなったときに、前記比較結果を示す出力信号を活性化することを特徴とする。

【0019】

また、本発明の請求項11に係る半導体装置は、請求項1から請求項10のいずれかに記載の半導体装置において、前記電源端子と接地との間に直列に配置され電源電圧を分圧する第3及び第4の抵抗素子と、2つの入力ノードを有し、前記第3及び第4の抵抗素子が分圧した電源電圧と、基準電圧とを入力して比較する第3のコンパレータとをさらに備えたことを特徴とする。

【発明の効果】

【0020】

本発明の半導体装置は、それぞれの極性が異なる2つの入力ノードを有し、基準電圧と電源電圧とを入力してそれぞれの電圧値を比較して比較結果を示す信号を出力するコンパレータと、前記コンパレータの、一方の入力ノードと他方の入力ノードとの間に接続される抵抗素子と、一端が前記電源電圧を印加する電源端子に接続され、他端が前記コンパレータの一方の入力ノードに接続される容量素子とを備え、前記コンパレータは、前記基準電圧と前記電源電圧との電圧差が変動したときに、前記比較結果を示す出力信号を活性化することを特徴とする。これにより、電圧変動前の電源電圧値に依存することなく、電圧変動を検知することができる。その結果、従来の半導体装置に比べて、設計上考慮すべきパラメータが少なくなり、回路の設計が容易になる。

【0021】

また、本発明の半導体装置は、それぞれの極性が異なる2つの入力ノードを有し、基準電圧と電源電圧とを入力してそれぞれの電圧値を比較して比較結果を示す信号を出力する第1及び第2のコンパレータと、前記第1及び第2のコンパレータの、一方の入力ノードと他方の入力ノードとの間にそれぞれ接続される第1及び第2の抵抗素子と、一端が前記電源電圧を印加する電源端子にそれぞれ接続され、他端が前記第1及び第2のコンパレータのいずれか一方の入力ノードにそれぞれ接続される第1及び第2の容量素子と、前記第1のコンパレータの出力信号と前記第2のコンパレータの出力信号とを論理和演算する論理和回路とを備え、前記第1及び第2のコンパレータは、前記基準電圧と前記電源電圧との電圧差が変動したときに、前記比較結果を示す出力信号をそれぞれ活性化し、前記第1のコンパレータにおける電源電圧を入力する入力端子の極性は、前記第2のコンパレータにおける電源電圧を入力する入力端子の極性と逆であることを特徴とする。これにより、電圧変動前の電源電圧値に依存することなく、正側及び負側の電圧変動を検知することができる。その結果、従来の半導体装置に比べて、設計上考慮すべきパラメータが少なくな

り、回路の設計が容易になる。

【0022】

また、本発明の半導体装置は、前記半導体装置において、コンパレータの一方の入力ノードに入力される電源電圧の値を任意の値に切り替える切換え手段を備えるようにした。これにより、コンパレータが正常に動作しているかを確認することができる。

【0023】

また、本発明の半導体装置は、前記半導体装置において、基準電圧と電源電圧とを入力して比較するコンパレータとして、ヒステリシスコンパレータを用い、ヒステリシスコンパレータが設定するヒステリシス幅より小さい電圧変動は異常電圧変動として検知しないようにした。これにより、半導体装置の動作に影響のない電源電圧の変動を異常電圧変動と誤検知することがない。

【0024】

また、本発明の半導体装置は、前記半導体装置において、前記電源端子と接地との間に直列に配置され電源電圧を分圧する第3と第4の抵抗素子と、2つの入力ノードを有し、前記第3と第4の抵抗素子が分圧した電源電圧と、基準電圧とを入力して比較する第3のコンパレータを備えるようにした。これにより、急激な電圧変動だけでなく、緩やかに変化する電圧変動も検知することができる。

【発明を実施するための最良の形態】

【0025】

以下、本発明の実施の形態を、図面を参照しながら説明する。

(実施の形態1)

本発明の実施に形態1に係る半導体装置について図1及び図2を用いて説明する。

【0026】

図1は、実施の形態1に係る半導体装置の回路構成を示すブロック図である。図1に示す半導体装置は、コンパレータ1と、抵抗素子2と、容量素子3とを備える。コンパレータ1は、2つの入力端子（入力端子N1及びN2）を有し、基準電圧と電源電圧とを入力して比較する。抵抗素子2は、コンパレータ1の入力端子N1に接続される信号線L1とコンパレータ1の入力端子N2に接続される信号線L2との間に接続される。容量素子3は、一端を電源端子4に他端をコンパレータ1の一方の入力端子（入力端子N1）に接続する。基準電圧の入力端子5は信号線L2を介してコンパレータ1の他方の入力端子（入力端子N2）に接続する。

【0027】

この図1において、入力端子N1（N2）およびこれに接続される信号線L1（L2）の両者を入力ノードと見なしてもよく、入力端子N1（N2）のみを入力ノードと見なしてもよい。従って、抵抗素子2は信号線L1，L2のいずれか一方のみを介してコンパレータ1の入力端子N1，N2間に接続してもよく、あるいは入力端子N1，N2間に直接接続してもよい。

【0028】

以上のように構成された半導体装置の動作について、図2を参照して説明する。図2は図1に示す半導体装置の動作を示すタイミングチャートである。この図2において、VREFは基準電圧、Y1はコンパレータ1の出力である検知信号を示す。

【0029】

まず、時間t0に、電源端子4には電源電圧VDDが、基準電圧の入力端子5には基準電圧VREFが印加される。このとき、コンパレータ1の入力端子N1，N2に入力される電圧は抵抗素子2により等しくなる。

【0030】

次に、時間t1からt2の間に電源電圧VDDに正側の電圧変動が発生したとする。このとき、電圧の変動分が容量素子3で容量結合され、これにより、コンパレータ1の入力端子N1に入力される電圧も変動して基準電圧VREFより高い電圧となる。この電圧差がコンパレータ1により増幅されて検知信号Y1がロウレベルからハイレベルに遷移し、

ハイレベルの検知信号が出力される。このハイレベルの検知信号 Y1 は、リセット手段（図示せず）に入力され、このリセット手段が半導体装置を含むシステム全体（例えば LSI）の動作を停止させる。従って、この半導体装置に対し、外部からデータの改ざんや不正読み出し等の攻撃が、電源電圧を急激に変動させることにより行われたとしても、これを検知して自動的にリセットがかかることによりこの種の攻撃等に対抗することが可能となり、しかもその検出を、電源電圧変動前の電源電圧値に依存することなく行うことが可能となる。

【0031】

以上のように、実施の形態 1 に係る半導体装置によれば、以下に示す効果が得られる。すなわち、従来の半導体装置では、単に、抵抗素子により分圧した電源電圧と基準電圧とを比較しているので、電圧変動の検知レベルが変動前の電源電圧値に依存するが、実施の形態 1 に係る半導体装置では、基準電圧値と電源電圧値とを抵抗素子 2 により同じ値にした状態からの電圧変動を検知するので、電圧変動の検知レベルが電圧変動前の電源電圧値に依存しない。その結果、従来の半導体装置に比べて、設計上考慮すべきパラメータが少なくなり、回路設計が容易になる。

【0032】

なお、実施の形態 1 では、正側の電圧変動を検知する動作について説明したが、コンパレータ 1 の入力端子 N1 と入力端子 N2 の極性を逆に、すなわち、入力端子 N1 を逆相入力端子（以下、一端子と記す）に、入力端子 N2 を正相入力端子（以下、+端子と記す）にすることで、負側の電圧変動を検知することができる。

【0033】

（実施の形態 2）

次に、本発明の実施の形態 2 に係る半導体装置について図 3 及び図 4 を用いて説明する。

図 3 は、実施の形態 2 に係る半導体装置の回路構成を示すブロック図である。図 3 に示す半導体装置は、図 1 に示す半導体装置におけるコンパレータ 1 に代えて、ヒステリシスコンパレータ 6 を備えることを特徴とする。なお、図 1 に示す半導体装置と同様の構成要素については、同一符号を付し説明を省略する。

【0034】

ヒステリシスコンパレータ 6 は 2 つの入力端子（入力端子 N3 及び N4）から入力する基準電圧と電源電圧との差が設定したヒステリシス幅（電圧変動の大きさ）より大きくなった場合に、検知信号 Y1 をハイレベルにする。

【0035】

以上のように構成された半導体装置の動作について、図 4 を参照して説明する。図 4 は図 3 に示す半導体装置の動作を示すタイミングチャートである。

【0036】

図 4 において、まず、時間 t_0 に、電源端子 4 に電源電圧 VDD が、基準電圧の入力端子 5 に基準電圧 VREF が印加される。このとき、コンパレータ 1 の入力端子 N3 及び N4 に入力される電圧は抵抗素子 2 により等しくなる。

【0037】

次に、時間 t_1 から t_2 の間に、電源電圧 VDD に正側の電圧変動が発生したとする。この場合、電圧の変動分が容量素子 3 で容量結合され、これにより、ヒステリシスコンパレータ 6 の入力端子 N3 から入力される電圧も変動して基準電圧 VREF より高い電圧となる。しかしながら、ここでは、電圧差がヒステリシスコンパレータ 6 で設定したヒステリシス幅より小さいため、ヒステリシスコンパレータ 6 は電圧差を増幅せず、その結果、検知信号 Y1 はロウレベルのままである。

【0038】

次に、時間 t_3 から t_4 の間に、電源電圧 VDD にヒステリシスコンパレータ 6 で設定したヒステリシス幅より大きな正側の電圧変動が発生したとする。この場合、電圧の変動分が容量素子 3 で容量結合され、これにより、ヒステリシスコンパレータ 6 の入力端子 N

1の電圧も変動して基準電圧VREFより高い電圧となる。そして、この電圧差がヒステリシスコンパレータ6により増幅され検知信号Y1がロウレベルからハイレベルに遷移する。このハイレベルの検知信号Y1は、リセット手段(図示せず)に☐入力され、このリセット手段が半導体装置を含むシステム全体の動作を停止させる。

【0039】

以上のように、実施の形態2に係る半導体装置によれば、基準電圧値と電源電圧値を抵抗素子2により同じ値にした状態からの電圧変動をヒステリシスコンパレータ6にて検知するようにした。これにより、電圧変動前の電源電圧値に依存することなく、電圧変動を検知することができる。その結果、従来の半導体装置に比べて、設計上考慮すべきパラメータが少なくなり、回路設計が容易になる。さらに、ヒステリシスコンパレータ6により設定したヒステリシス幅より小さい電圧変動が生じても検知信号Y1をハイレベルにしないことから、半導体装置の動作に影響のない電源電圧の変動を異常電圧変動と誤検知することがない。

【0040】

なお、実施の形態2では、正側の電圧変動を検知する動作について説明したが、ヒステリシスコンパレータ6の入力端子N3と入力端子N4の極性を逆に、すなわち、入力端子N3を一端子に、入力端子N4を+端子にすることで、負側の電圧変動を検知することができる。

【0041】

(実施の形態3)

次に、実施の形態3に係る半導体装置について図5及び図6を用いて説明する。図5は、本実施の形態3に係る半導体装置の回路構成を示すブロック図である。

【0042】

上記実施の形態1及び2に係る半導体装置は、正側または負側の一方の電圧変動しか検知できない。従って、実施の形態3に係る半導体装置では正側及び負側の電圧変動を検知できる構成とする。

【0043】

図5に示す半導体装置は、ヒステリシスコンパレータ(第1及び第2のコンパレータ)6及び7と、抵抗素子(第1及び第2の抵抗素子)2及び8と、容量素子(第1及び第2の容量素子)3及び9と、論理和回路10とを備える。ヒステリシスコンパレータ6は、2つの入力端子(入力端子N3及び入力端子N4)を有し、基準電圧と電源電圧とを入力して比較する。ヒステリシスコンパレータ7は、2つの入力端子(入力端子N5及び入力端子N6)を有し、基準電圧と電源電圧とを入力して比較する。ただし、電源電圧と基準電圧を入力する端子の極性をヒステリシスコンパレータ7とは逆にする。抵抗素子2は、ヒステリシスコンパレータ6の入力端子N3に接続する信号線L3と、ヒステリシスコンパレータ6の入力端子N4に接続する信号線L4との間に接続される。抵抗素子8は、ヒステリシスコンパレータ7の入力端子N5に接続する信号線L5と、ヒステリシスコンパレータ7の入力端子N6に接続する信号線L6との間に接続される。容量素子3は、一端を電源端子4に他端をヒステリシスコンパレータ6の一方の入力端子(入力端子N3)に接続する。容量素子9は、一端を電源端子4に他端をヒステリシスコンパレータ7の一方の入力端子(入力端子N5)に接続する。論理和回路10は、ヒステリシスコンパレータ6及び7が出力する検知信号Y1、Y2を論理和演算し、検知信号Y3を出力する。

【0044】

以上のように構成された半導体装置の動作について、図6を参照して説明する。図6は図5に示す半導体装置の動作を示すタイミングチャートである。

図6において、まず、時間t0では、電源端子4に電源電圧VDDが、基準電圧の入力端子5に基準信号VREFが印加される。

【0045】

次に、時間t1からt2の間に電源電圧VDDにヒステリシスコンパレータ6で設定したヒステリシス幅より大きな電圧変動が発生したとする。この場合、電圧の変動分が容量

素子 3 で容量結合され、これにより、ヒステリシスコンパレータ 6 の入力端子 N 3 の電圧も変動して基準電圧 VREF より高い電圧となる。そして、この電圧差がヒステリシスコンパレータ 6 により増幅され検知信号 Y 1 がロウレベルからハイレベルに遷移する。そして、論理和回路 10 がハイレベルの検知信号 Y 3 を出力する。このハイレベルの検知信号 Y 3 は、リセット手段（図示せず）にされ、このリセット手段が半導体装置を含むシステム全体の動作を停止させる。すなわち、時間 t 3 で電圧が 0 V になる。

【0046】

次に、時間 t 4 で再び電源を立ち上げる。時間 t 4 では、電源端子 4 に電源電圧 VDD が、基準電圧の入力端子に基準信号 VREF が印加される。

【0047】

次に、時間 t 5 から t 6 の間に電源電圧 VDD にヒステリシスコンパレータ 7 で設定したヒステリシス幅より大きな負側の電圧変動が起きた場合、電圧の変動分が容量素子 9 で容量結合され、これにより、ヒステリシスコンパレータ 7 の入力端子 N 5 の電圧が基準電圧 VREF より低い電圧となる。この電圧差がヒステリシスコンパレータ 7 により増幅され検知信号 Y 2 がロウレベルからハイレベルに遷移する。そして、論理和回路 10 がハイレベルの検知信号 Y 3 を出力する。このハイレベルの検知信号 Y 3 は、リセット手段（図示せず）にされ、このリセット手段が半導体装置を含むシステム全体の動作を停止させる。

【0048】

以上のように、実施の形態 3 に係る半導体装置は、基準電圧値と電源電圧値を抵抗素子 2 により同じ値にした状態からの正側及び負側の両方の電圧変動をヒステリシスコンパレータ 6 及び 7 にて検知するようにした。これにより、電圧変動前の電源電圧値に依存することなく、正側及び負側の電圧変動を検知することができる。その結果、従来の半導体装置に比べて、設計上考慮すべきパラメータが少なくなり、回路の設計が容易になる。さらに、ヒステリシスコンパレータ 6 及び 7 により設定したヒステリシス幅より小さい正側及び負側の電圧変動が生じても検知信号 Y 3 をハイレベルにしないことから、半導体装置の動作に影響のない電源電圧の変動を異常電圧変動と誤検知することがない。

【0049】

なお、実施の形態 3 では、ヒステリシスコンパレータを備える場合について説明したが、ヒステリシスコンパレータに代えて、図 1 に示すような通常のコンパレータを用いることでも良い。

【0050】

（実施の形態 4）

次に、実施の形態 4 に係る半導体装置について図 7 及び図 8 を用いて説明する。図 7 は、実施の形態 4 に係る半導体装置の回路構成を示すブロック図である。図 7 に示す半導体装置は、図 1 に示す半導体装置に対し、抵抗素子（第 3 及び第 4 の抵抗素子）12 及び 13 と、2 つの入力端子を有するコンパレータ（第 3 のコンパレータ）11 とからなる電圧変動検知回路と、論理和回路 14 とをさらに備えるものである。

【0051】

抵抗素子 12 及び 13 は、電源電圧を分圧する。コンパレータ 11 は一方の入力端子 N 7 から分圧された電源電圧を入力し、他方の入力端子 N 8 から基準電圧を入力する。

【0052】

以上のように構成された半導体装置の動作について、図 8 を参照して説明する。図 8 は図 7 に示す半導体装置の動作を示すタイミングチャートである。

【0053】

図 8 において、時間 t 0 では、電源端子 4 に電源電圧 VDD が基準電圧の入力端子 5 に基準電圧 VREF が印加される。

【0054】

次に、時間 t 1 から t 2 の間に電源電圧 VDD に正側の電圧変動が起きたとすると、その電圧の変動分が容量素子 3 で容量結合され、これにより、コンパレータ 1 の入力端子 N

1 に入力される電圧も変動して基準電圧 V_{REF} より高い電圧となる。この電圧差がコンパレータ 1 により増幅され検知信号 Y_1 がロウレベルからハイレベルに遷移する。これにより論理和回路 14 からハイレベルの検知信号 Y_5 が出力される。ハイレベルの検知信号 Y_5 は、リセット手段 (図示せず) に入力され、このリセット手段が半導体装置を含むシステム全体の動作を停止させる。すなわち、時間 t_3 で電圧が 0 V になる。一方、コンパレータ 11 の入力端子 N_7 に入力される電圧は、抵抗素子 12 及び 13 により分圧されているため、時間 t_1 から t_2 の急激な電圧変動をコンパレータ 11 で検知することはできない。

【0055】

次に、 t_4 で再び電源を立ち上げる。電源端子 4 に電源電圧 V_{DD} が基準電圧の入力端子 5 に基準電圧 V_{REF} が印加される。

【0056】

次に、時間 t_4 から t_5 の間に、電源電圧 V_{DD} が徐々に上昇したとすると、抵抗素子 12 及び 13 により分圧された電源電圧も上昇し、基準電圧 V_{REF} より高い電圧となる。この電圧差がコンパレータ 11 により増幅され検知信号 Y_4 がロウレベルからハイレベルに遷移する。これにより、論理和回路 14 からハイレベルの検知信号 Y_5 が出力され、前記リセット手段に入力される。なお、コンパレータ 1 に入力される電源電圧と基準電圧とは、抵抗素子 2 で同じ電圧値にされるため、コンパレータ 1 は、時間 t_4 から t_5 で生じるような緩やかな電圧変動を検知することはできない。

【0057】

以上のように、実施の形態 4 に係る半導体装置によれば、基準電圧値と電源電圧値とを抵抗素子 2 により同じ値にした状態からの電圧変動を検知するので、電圧変動前の電源電圧値に依存することなく、急激な電圧変動を検知することができる。その結果、従来の半導体装置に比べて、設計上考慮すべきパラメータが少なくなり、回路の設計が容易になる。さらに、電源電圧を分圧する抵抗素子 12 及び 13 と、前記分圧電圧と基準電圧とを比較するコンパレータ 11 とを備えたことで、緩やかな電圧変動も検知することができる。

【0058】

なお、実施の形態 4 では、コンパレータ 11 と、抵抗素子 12 及び 13 とからなる電圧変動検知回路を、実施の形態 1 に係る半導体装置に追加する場合について説明したが、本発明はこれに限るものではなく、前記電圧変動検知回路を、実施の形態 2 または 3 に係る半導体装置に備えるようにしても良い。

【0059】

また、負側の電圧変動を検知する場合には、コンパレータ 1 及び 11 の入力端子 N_1 、 N_2 及び入力端子 N_7 、 N_8 の極性をそれぞれ逆にすれば良い。

【0060】

(実施の形態 5)

次に、本発明の実施の形態 5 に係る半導体装置について図 9 及び図 10 を用いて説明する。図 9 は本実施の形態 5 に係る半導体装置の回路構成を示すブロック図である。図 9 に示す半導体装置は、図 1 に示す実施の形態 1 に係る半導体装置に対し、切換え手段 15 と制御手段 19 とを追加したことを特徴とする。

【0061】

切換え手段 15 は、インバータ 16 と、P チャンネルトランジスタ 17 と、N チャンネルトランジスタ 18 とを備える。インバータ 16 の出力は P チャンネルトランジスタ 17 のゲートに接続されている。P チャンネルトランジスタ 17 及び N チャンネルトランジスタ 18 のソースは入力 I_{N1} に接続されており、ドレインはコンパレータ 1 の入力端子 N_1 に接続されている。以上の構成される切換え手段 15 は、コンパレータ 1 の入力端子 N_1 に入力される電源電圧値を任意の値、すなわち入力端子 I_{N1} に入力される任意の電源電圧レベルに切換える。

【0062】

制御手段 19 はテスト (TEST) 信号をハイにして、切換え手段 15 を動作させると

ともに、コンパレータ 1 の検知信号 Y 1 を入力して該信号が活性化しているかを検知する。

【0063】

例えば、制御手段 19 は、半導体装置の電源が投入されるたびに TEST 信号をハイにし、切換え手段 15 が入力端子 N 1 に入力される電圧値を基準電圧値より高くする。このとき、コンパレータ 1 が電圧差を検知して、ハイレベルの検知信号 Y 1 を出力したかを制御手段 19 で検知する。

【0064】

このような構成とすることで、コンパレータ 1 が正常に動作しているかを確認できる。

以上のように構成される半導体装置の動作について図 10 を用いて説明する。図 10 は図 9 に示す半導体装置の動作を示すタイミングチャートである。

【0065】

まず、時間 t_0 では、電源端子 4 に電源電圧 VDD が、基準電圧の入力端子 5 に基準電圧 VREF が印加される。このとき、コンパレータ 1 の入力端子 N 1 及び N 2 に入力される電圧は抵抗素子 2 により等しくなる。

【0066】

次に、時間 t_1 にて、制御手段 19 が切換え手段 15 に入力されるテスト信号をロウレベルからハイレベルに立ち上げると、P チャネルトランジスタ 17 及び N チャネルトランジスタ 18 が ON し、入力端子 IN 1 に入力される任意の電圧（以下、任意の電圧 IN 1 と記す）、すなわち、基準電圧 VREF より高い電圧がコンパレータ 1 の入力端子 N 1 に入力される。このとき、コンパレータ 1 が正常に動作しているのであれば、基準電圧 VREF と任意の電圧 IN 1 との電圧差がコンパレータ 1 により増幅され検知信号 Y 1 がロウレベルからハイレベルに遷移する。入力端子 N 1 の電圧が基準電圧 VREF より高い電圧となることに伴い、検知信号 Y 1 がハイレベルになったかは、制御手段 19 が検知信号 Y 1 を入力して確認する。

【0067】

以上のように、本実施の形態 5 に係る半導体装置は、コンパレータにおける電源電圧 VDD を入力する端子（入力端子 N 1）に、任意の電圧を入力する切換え手段 15 を備えたことにより、コンパレータが正常に動作しているか否かを検査することができる。

【0068】

なお、実施の形態 5 では、切換え手段 15 により入力端子 N 1 に入力される電圧を基準電圧より高い電圧に切換える場合について説明したが、本発明はこれに限るものではなく、入力端子 N 1 を一端子、入力端子 N 2 を+端子にして、入力端子 N 1 に入力される電圧を基準電圧より低い電圧に切換えるようにしても良い。

【0069】

また、実施の形態 5 では、実施の形態 1 に係る半導体装置に対し切換え手段 15、制御手段 19 を追加する場合について説明したが、本発明はこれに限るものではなく、実施の形態 2～4 で説明した半導体装置に対し切換え手段 15、さらには制御手段 19 を追加するようにしても良い。その場合には、各コンパレータの一方の端子に入力する電源電圧の値を切換え手段 15 により任意の電圧値に切り換える。

【0070】

さらに、上記実施の形態 2～4 では、抵抗素子はコンパレータの 2 つの入力端子に接続された 2 つの信号線間に接続されるものとしたが、これは 2 つの信号線のいずれか一方のみを介してコンパレータの 2 つの入力端子間に接続してもよく、あるいは 2 つの入力端子間に直接接続されるようにしても良い。

【産業上の利用可能性】

【0071】

本発明に係る半導体装置は、電源電圧と接地電圧との電位差の急激な変動を検出できるため、半導体装置に対する外部からのデータ改ざんや不正読み出し等の攻撃に対抗できる LSI に用いて好適である。

【図面の簡単な説明】

【0072】

【図1】本発明の実施の形態1に係る半導体装置の回路構成を示すブロック図である。

【図2】本発明の実施の形態1に係る半導体装置の動作を示すタイミングチャート図である。

【図3】本発明の実施の形態2に係る半導体装置の回路構成を示すブロック図である。

【図4】本発明の実施の形態2に係る半導体装置の動作を示すタイミングチャート図である。

【図5】本発明の実施の形態3に係る半導体装置の回路構成を示すブロック図である。

【図6】本発明の実施の形態3に係る半導体装置の動作を示すタイミングチャート図である。

【図7】本発明の実施の形態4に係る半導体装置の回路構成を示すブロック図である。

【図8】本発明の実施の形態4に係る半導体装置の動作を示すタイミングチャート図である。

【図9】本発明の実施の形態5に係る半導体装置の回路構成を示すブロック図である。

【図10】本発明の実施の形態5に係る半導体装置の動作を示すタイミングチャート図である。

【図11】電源電圧変動検知回路を有する従来の半導体装置の回路構成を示すブロック図である。

【図12】電源電圧変動検知回路を有する従来の半導体装置の回路構成を示すブロック図である。

【符号の説明】

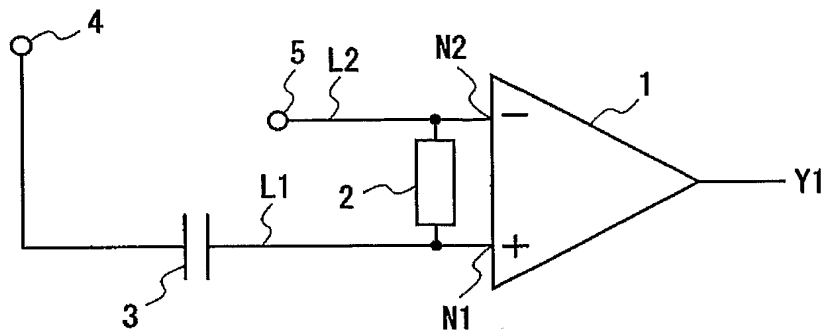
【0073】

- 1, 11, 107, 108 コンパレータ
- 2, 8, 12, 13, 103, 104, 105, 106, 203 抵抗素子
- 3, 9, 117, 118, 204 容量素子
- 4, 101, 115, 116 電源端子
- 5 基準電圧の入力端子
- 6, 7 ヒステリシスコンパレータ
- 10, 14 論理和回路
- 15 切換え手段
- 16 インバータ
- 17 Pチャネルトランジスタ
- 18 Nチャネルトランジスタ
- 19 制御手段
- 102 接地端子
- 109, 111 分圧電圧
- 110, 112 基準電圧
- 113, 114 ノード
- 119 論理積回路
- 201 1段目のインバータ
- 202 2段目のインバータ
- 205 入力線
- 206 出力線
- IN1 任意の電源電圧の入力端子

N 1, N 2, N 7, N 8 コンパレータの入力端子
N 3 ~ N 6 ヒステリシスコンパレータの入力端子
Y 1 ~ Y 5 検知信号

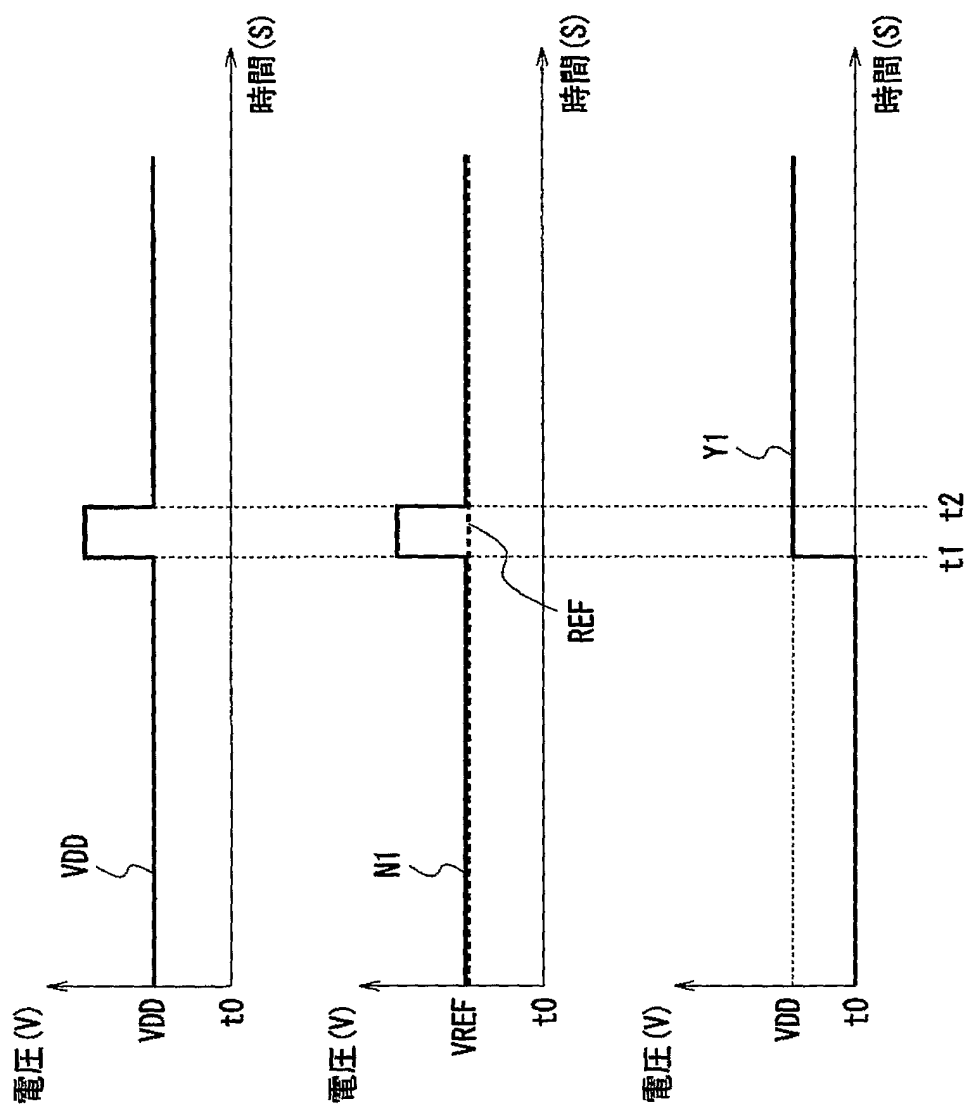
【書類名】 図面

【図 1】

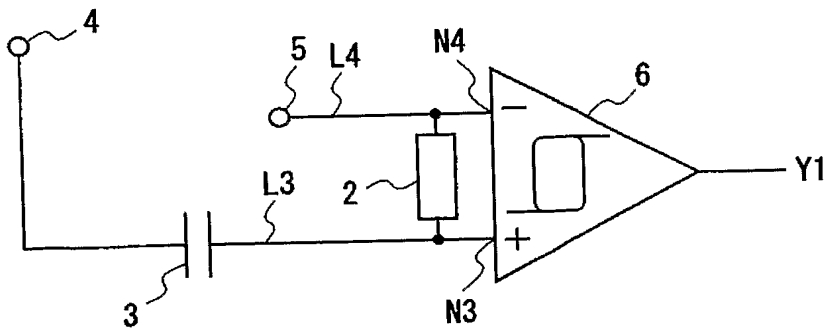


- 1 : コンパレータ
- 2 : 抵抗素子
- 3 : 容量素子
- 4 : 電源端子
- 5 : 基準電圧の入力端子
- N1, N2 : 入力端子

【図 2】

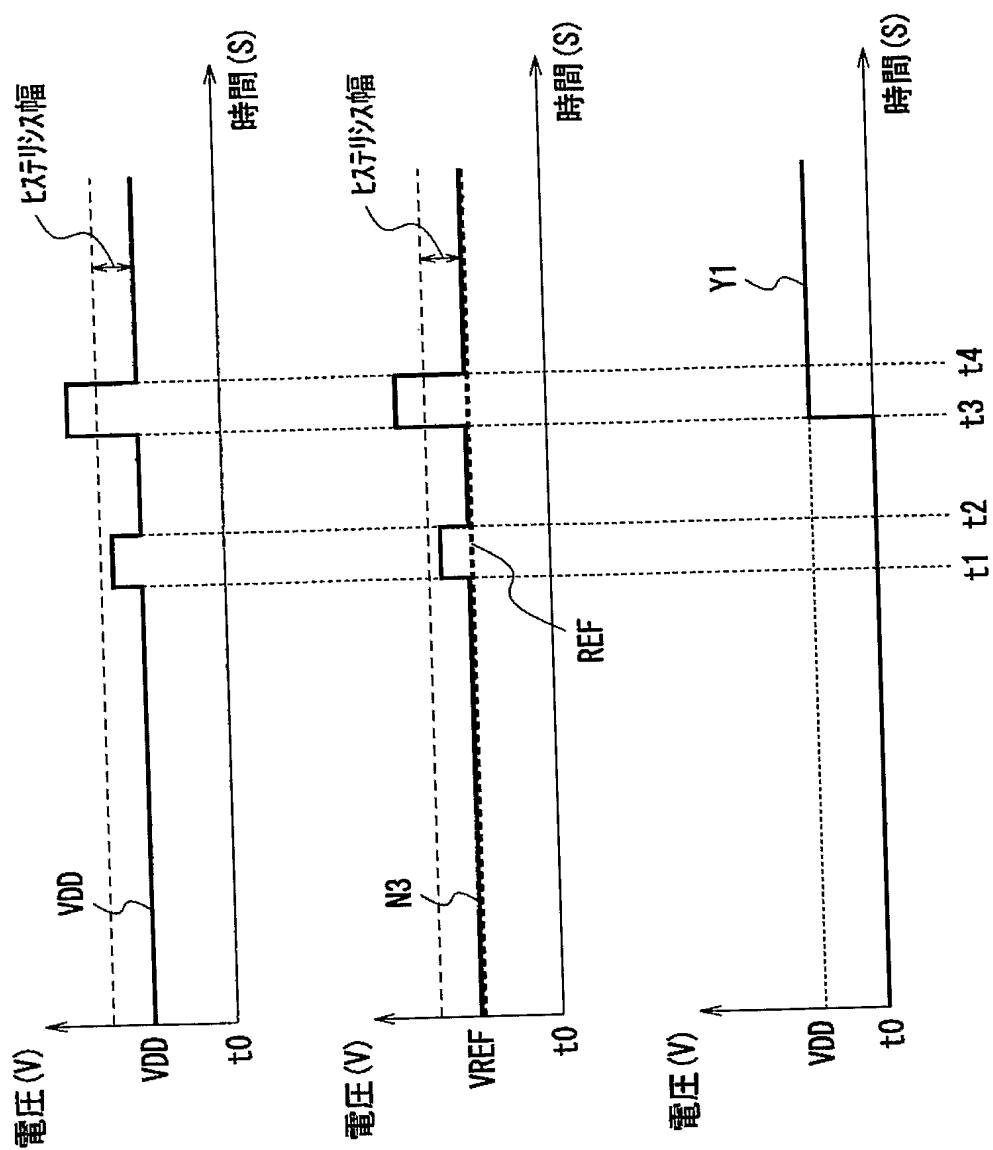


【図 3】

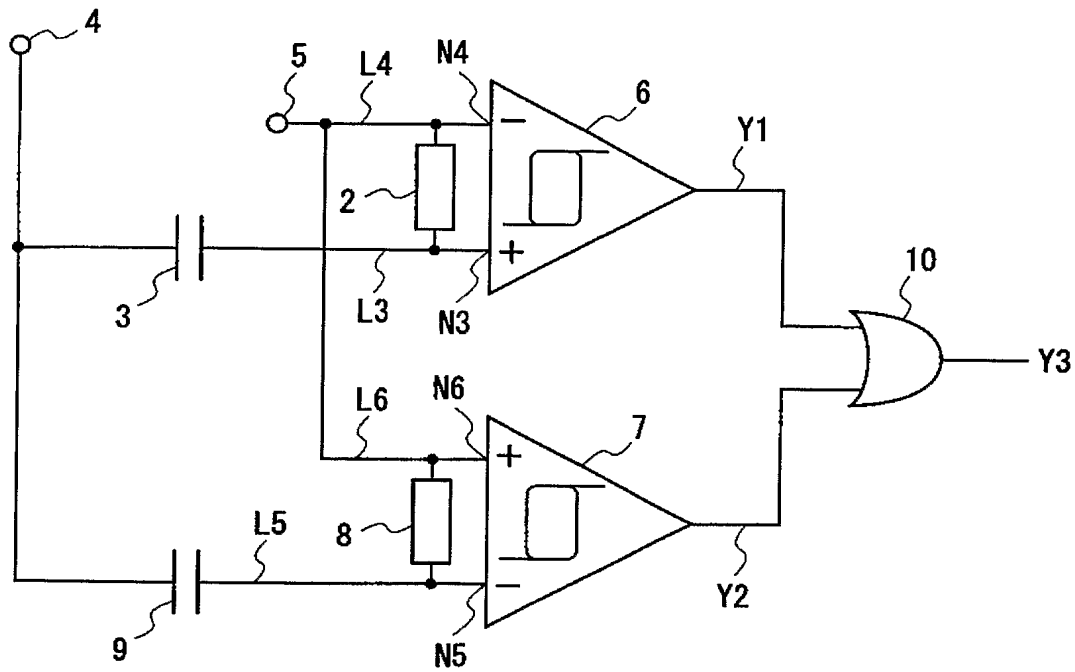


6 : ヒステリシスコンパレータ
N3, N4 : 入力端子

【図 4】

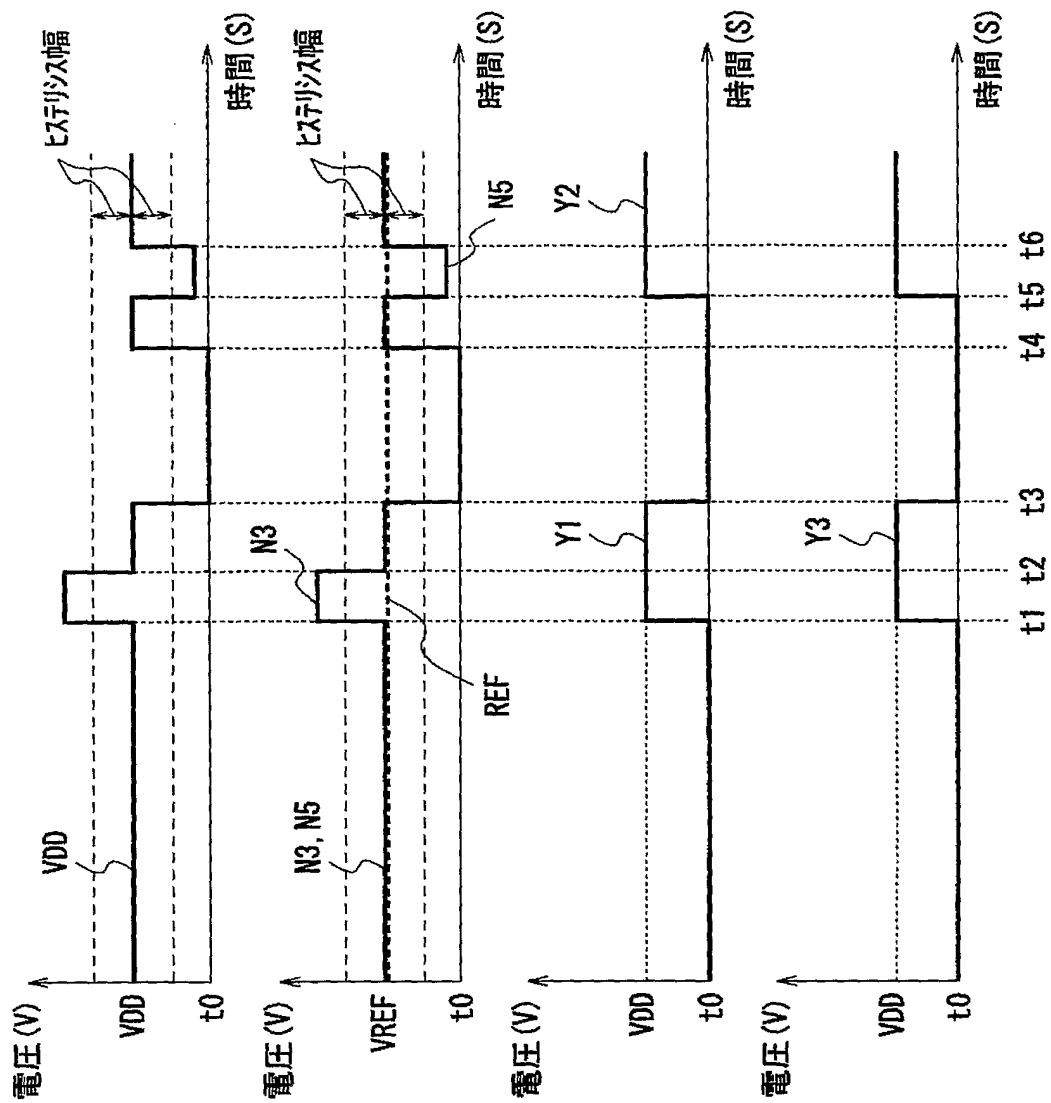


【図 5】

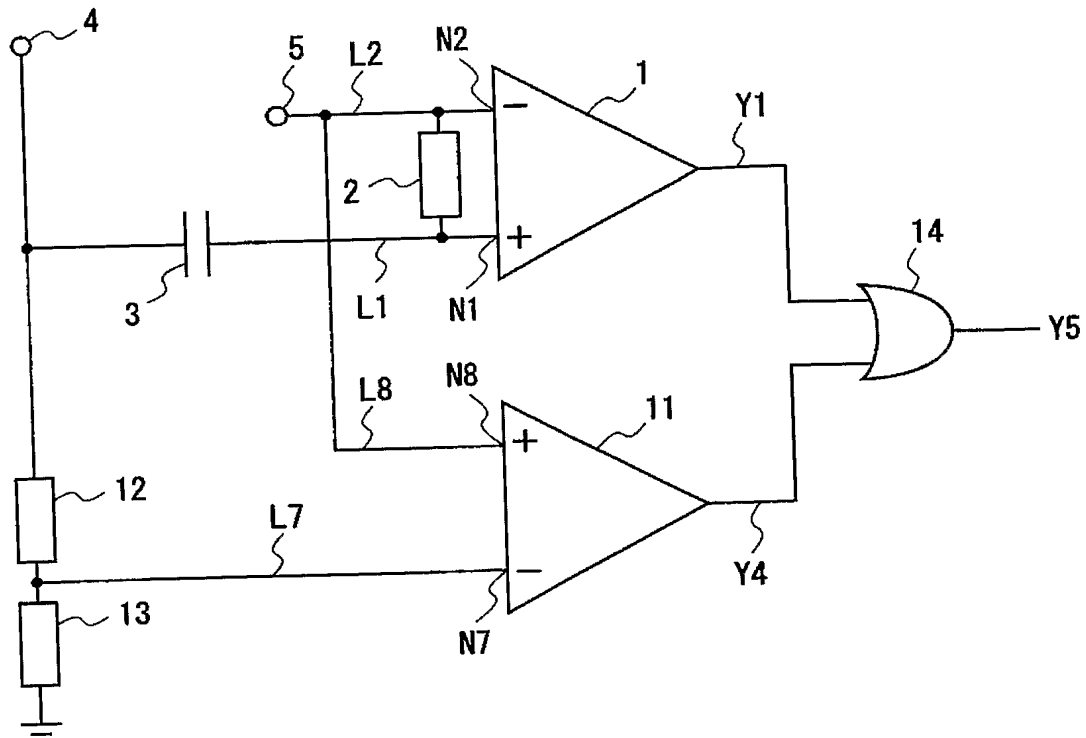


- 7 : ヒステリシスコンパレータ
8 : 抵抗素子
9 : 容量素子
10 : 論理和回路
N5, N6 : 入力端子

【図 6】

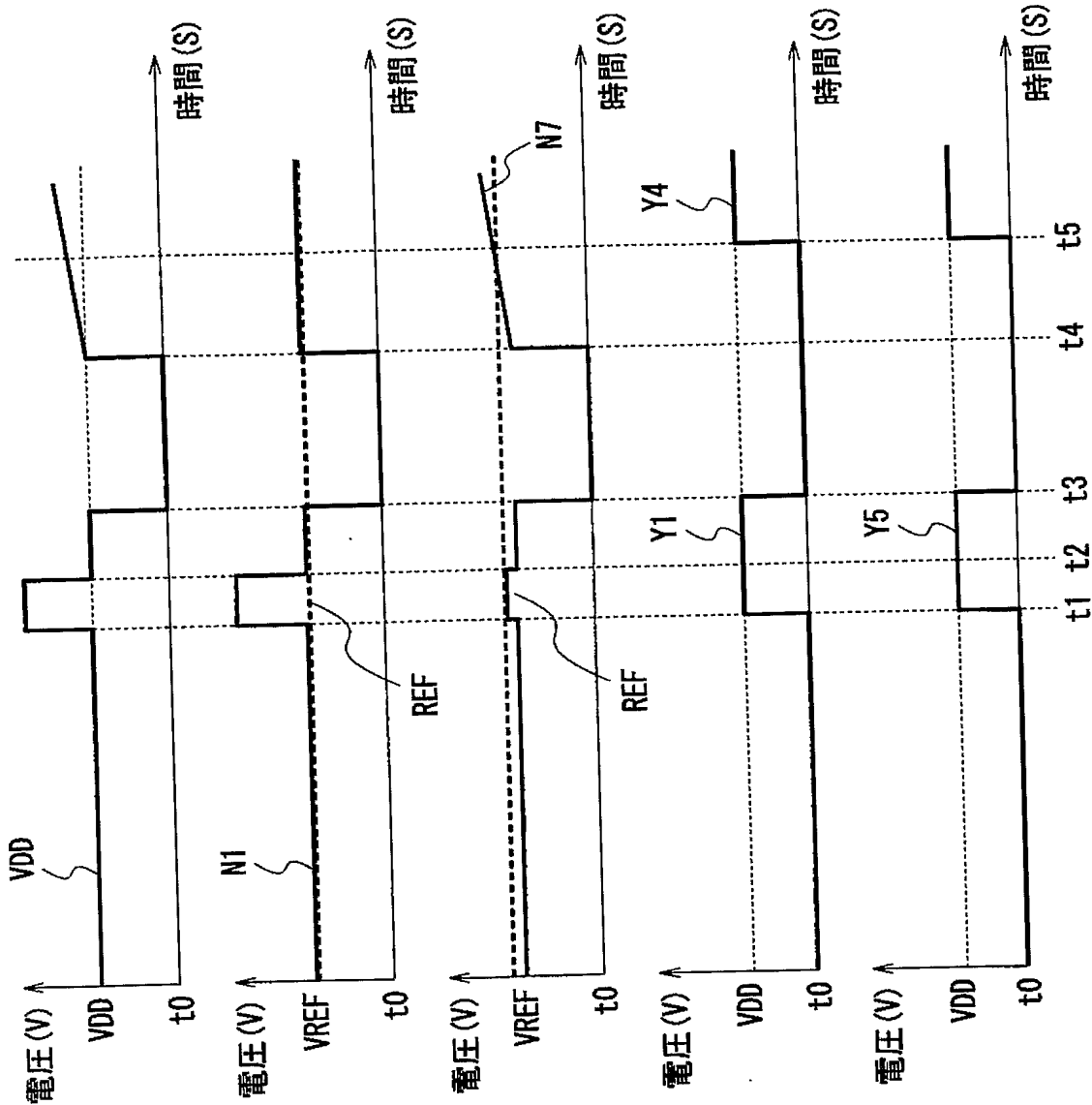


【図 7】

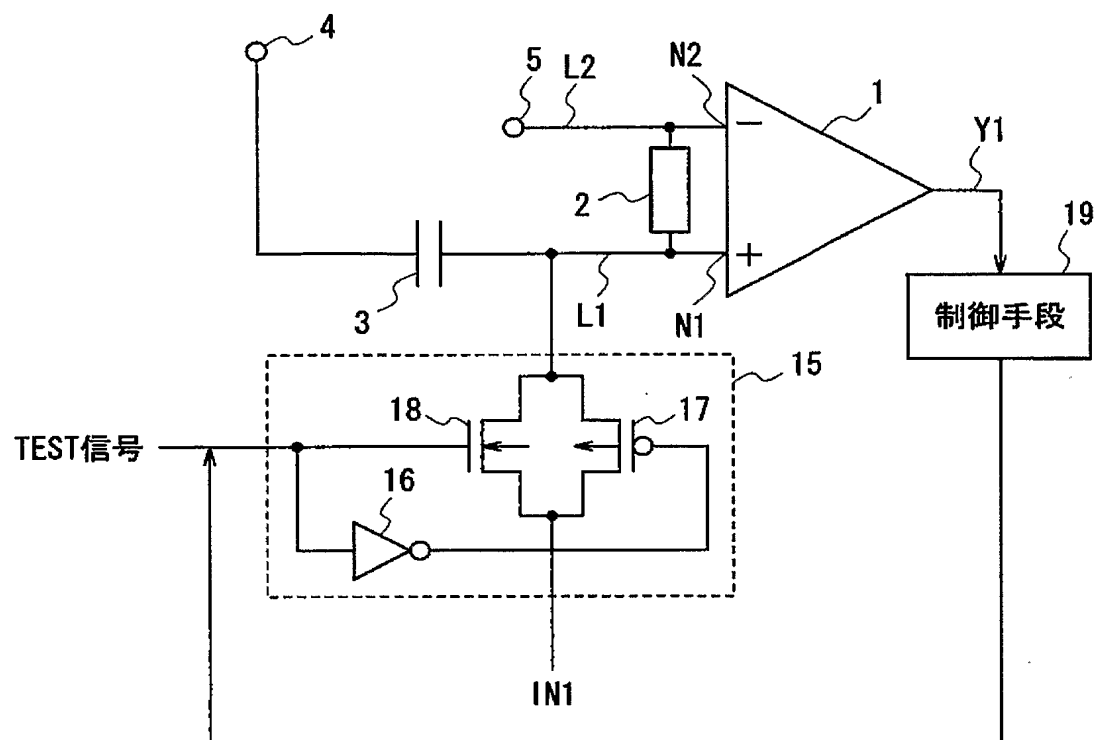


11 : コンパレータ
 12, 13 : 抵抗素子
 14 : 論理和回路
 N7, N8 : 入力端子

【図 8】



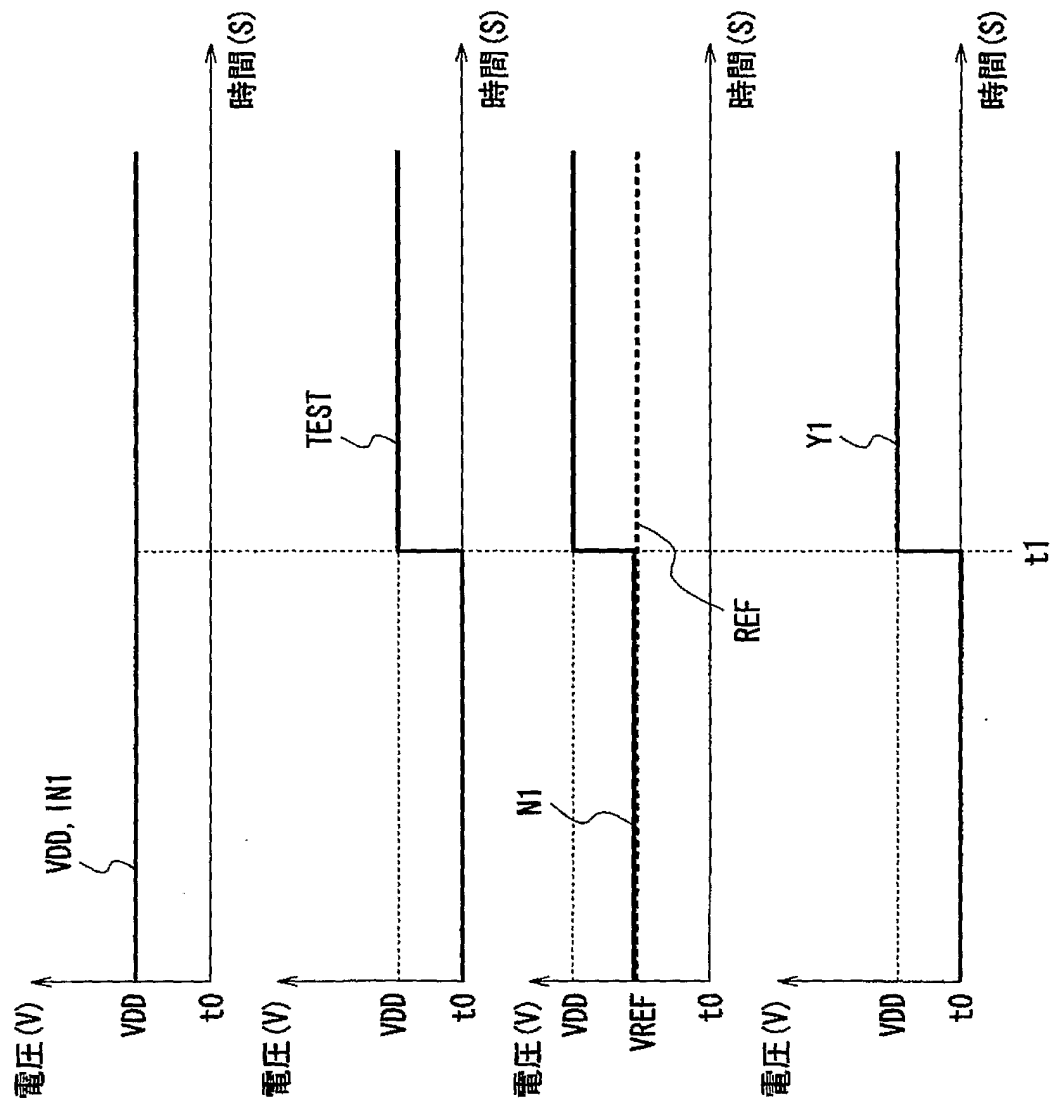
【図 9】



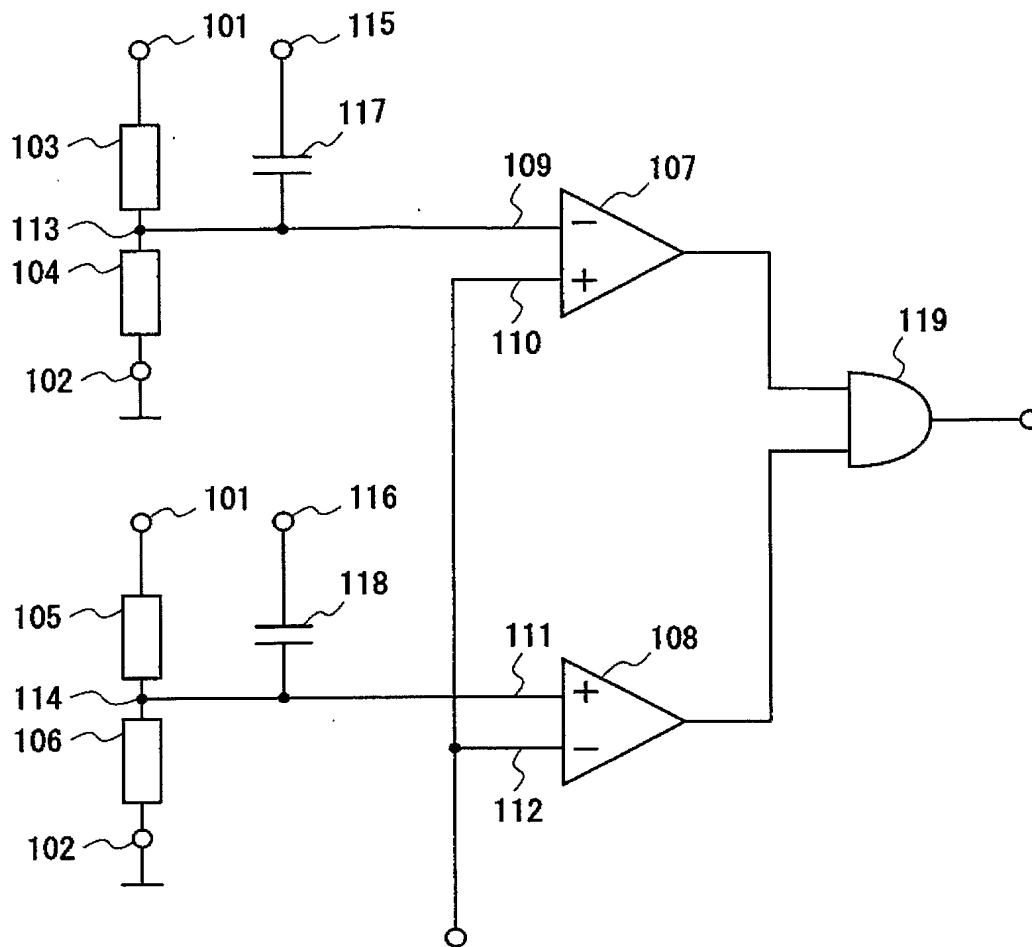
15 : 切換え手段

IN1 : 入力端子

【図 10】

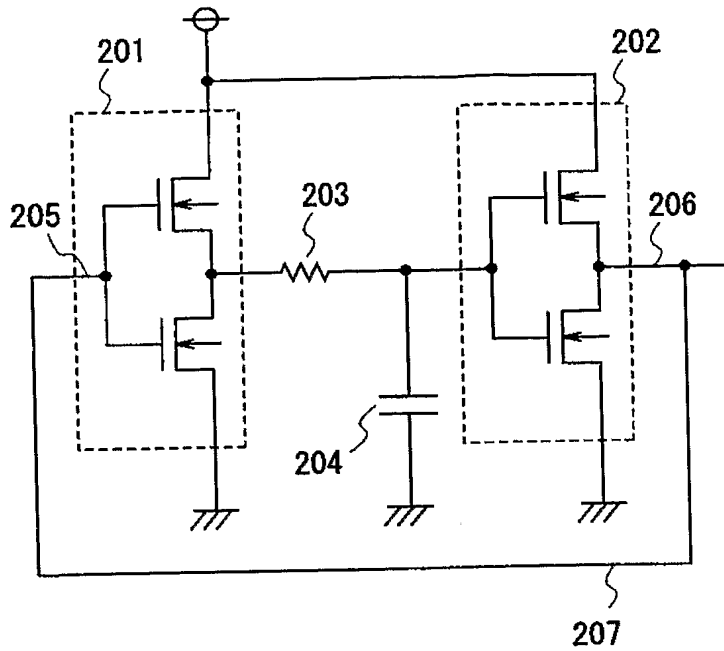


【図 11】



- 101 : 電源端子
 102 : 接地端子
 103, 104, 105, 106 : 抵抗素子
 107, 108 : コンパレータ
 109, 111 : 分圧電圧
 110, 112 : 基準電圧
 113, 114 : ノード
 115, 116 : 電源端子
 117, 118 : 容量素子
 119 : 論理積回路

【図 12】



- 201 : 1段目のインバータ
- 202 : 2段目のインバータ
- 205 : 入力線
- 206 : 出力線
- 203 : 抵抗素子
- 204 : 容量素子
- 207 : 電源電圧変動検出出力線

【書類名】 要約書**【要約】**

【課題】 電源電圧の変動を検知する回路を備える半導体装置において、電圧変動前の電源電圧値に依存することなく電源電圧の急激な変動を検知できる半導体装置を提供することを目的とする。

【解決手段】

2つの入力端子N1, N2を有し、一方の入力端子に電源電圧を入力し、他方の入力端子に基準電圧を入力して電圧値を比較するコンパレータ1と、コンパレータ1の入力端子N1に接続する信号線L1とコンパレータ1の入力端子N2に接続する信号線L2とを接続する抵抗素子2と、一端が電源電圧を印加する電源端子に、他端が前記コンパレータの1つの入力端子に接続された容量素子3とを備える。

【選択図】 図1

特願 2 0 0 3 - 4 3 4 0 7 5

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社